

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-150054

(43)Date of publication of application : 02.06.1998

(51)Int.Cl.

H01L 21/338

H01L 29/812

H01L 29/41

H01L 29/78

(21)Application number : 08-308056

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 19.11.1996

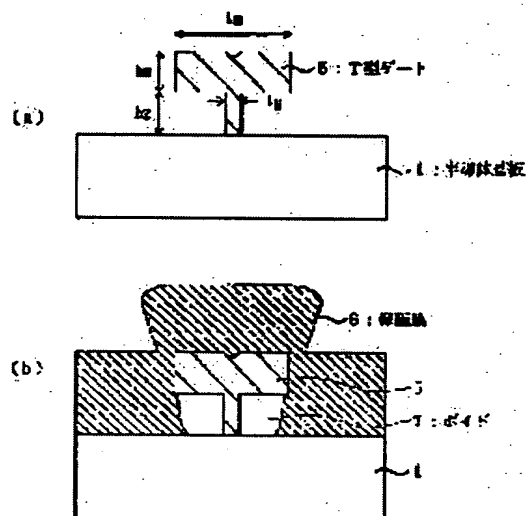
(72)Inventor : OSHIMA TOMOYUKI

(54) FORMATION OF PROTECTING FILM FOR T-TYPE GATE OF FIELD-EFFECT TRANSISTOR

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent the deterioration of the high-frequency characteristics of a transistor caused by the parasitic capacitance at the channel between the upper part of a T-type gate and a field-effect transistor by forming a protecting film at the T-type gate by the film forming method having the high anisotropy, and forming a void at the space between the T-type gate and the surface of an active layer.

SOLUTION: A T-type gate 5 is formed on a semiconductor substrate 1 having a channel region. A protecting film 6 is deposited on the gate 5 by the sputtering method, wherein, e.g. an SiO₂ film is deposited by the sputtering method that can form the film having the high anisotropy. The space between the T-type gate 5 and the surface of the active layer is made to be a void 7. Thus, the parasitic capacitance can be decreased by the large extent, and the excellent high-frequency characteristics can be obtained.



LEGAL STATUS

[Date of request for examination]

30.11.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3226806

[Date of registration]

31.08.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J.P.)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-150054

(43) 公開日 平成10年(1998) 6月2日

(51) IntCl.⁸

識別記号

F I

H 0 1 L 21/338
29/812
29/41
29/78

H 0 1 L 29/80
29/44
29/78

F
Z
3 0 1 G

審査請求 未請求 請求項の数4 O.L (全 6 頁)

(21) 出願番号 特願平8-308056

(22) 出願日 平成8年(1996)11月19日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 大島 知之

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

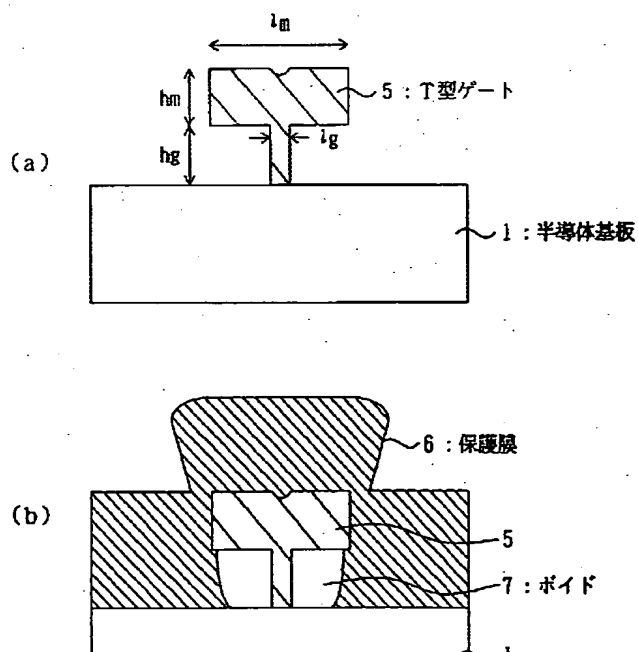
(74) 代理人 弁理士 清水 守 (外1名)

(54) 【発明の名称】 電界効果トランジスタのT型ゲートの保護膜形成方法

(57) 【要約】

【課題】 T型ゲート上部と電界効果トランジスタのチャネル間の寄生容量によるトランジスタの高周波特性の劣化を防止することができる電界効果トランジスタにおけるT型ゲートの保護膜形成方法を提供する。

【解決手段】 電界効果トランジスタのT型ゲートの保護膜形成方法において、T型ゲート5を形成後、スパッタリング法のような異方性の高い膜形成法により、前記T型ゲート5の保護膜6を形成し、このT型ゲート5と活性層表面の空間をボイド7とする。



【特許請求の範囲】

【請求項1】 電界効果トランジスタのT型ゲートの保護膜形成方法において、

T型ゲートを形成後、異方性の高い膜形成法により、前記T型ゲートの保護膜を形成し、該T型ゲートと活性層表面の空間をボイドとすることを特徴とする電界効果トランジスタのT型ゲートの保護膜形成方法。

【請求項2】 電界効果トランジスタのT型ゲートの保護膜形成方法において、(a) T型ゲートを形成後、第1の絶縁膜を等方性の高い膜形成法によって形成する工程と、(b) 第2の絶縁膜を異方性の高い膜形成法によって形成し、前記T型ゲートと活性層表面の空間を絶縁膜によって囲まれたボイドとする工程とを施すようにしたことを特徴とする電界効果トランジスタのT型ゲートの保護膜形成方法。

【請求項3】 電界効果トランジスタのT型ゲートの保護膜形成方法において、(a) T型ゲート形成後にポリイミド膜を塗布する工程と、(b) 酸素プラズマを用いた反応性イオンエッチングにより、前記T型ゲート下部のポリイミド膜を残し、他の領域のポリイミド膜をエッチングする工程と、(c) CVD法によって絶縁膜を形成する工程と、(d) 前記T型ゲートの両端、または、片端の絶縁膜に開口部を形成する工程と、(e) 酸素プラズマを用いたアッシングにより、前記絶縁膜の開口部から酸素を導入し、前記T型ゲート下部のポリイミド膜を除去し、前記T型ゲートと活性層表面の空間をボイドとする工程とを施すようにしたことを特徴とする電界効果トランジスタのT型ゲートの保護膜形成方法。

【請求項4】 電界効果トランジスタのT型ゲートの保護膜形成方法において、(a) T型ゲートを形成後、第1の絶縁膜を等方性の高い膜形成法によって形成する工程と、(b) ポリイミド膜を塗布する工程と、(c) 酸素プラズマを用いた反応性イオンエッチングにより、前記T型ゲート下部のポリイミド膜を残し、他の領域のポリイミド膜をエッチングする工程と、(d) CVD法によって第2の絶縁膜を形成する工程と、(e) 前記T型ゲートの両端、または、片端の絶縁膜に開口部を形成する工程と、(f) 酸素プラズマを用いたアッシングにより、前記絶縁膜の開口部から酸素を導入し、前記T型ゲート下部のポリイミド膜を除去し、前記T型ゲートと活性層表面の空間を絶縁膜によって囲まれたボイドとする工程とを施すようにしたことを特徴とする電界効果トランジスタのT型ゲートの保護膜形成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、T型ゲートを有する電界効果トランジスタの保護膜形成方法に関するものである。

【0002】

例えば、「GaAs電界効果トランジスタの基礎」p. 59～60、1992年、発行所コロナ社に記載されるものがあつた。かかる電界効果トランジスタにおいては、ゲート長の微細化に伴うゲート抵抗の増大を防ぐために、図8に示すような、半導体基板1上にのT型ゲート2が用いられる。

【0003】

【発明が解決しようとする課題】しかしながら、上記した従来のT型ゲートにおいては、T型ゲート上部と電界効果トランジスタのチャネル間の寄生容量によって、トランジスタの高周波特性が劣化するという問題があつた。本発明は、上記問題点を除去し、T型ゲート上部と電界効果トランジスタのチャネル間の寄生容量によるトランジスタの高周波特性の劣化を防止することができる電界効果トランジスタのT型ゲートの保護膜形成方法を提供することを目的とする。

【0004】

【課題を解決するための手段】本発明は、上記目的を達成するために、

[1] 電界効果トランジスタのT型ゲートの保護膜形成方法において、T型ゲートを形成後、異方性の高い膜形成法により、前記T型ゲートの保護膜を形成し、このT型ゲートと活性層表面の空間をボイドとするようにしたものである。

【0005】[2] 電界効果トランジスタのT型ゲートの保護膜形成方法において、T型ゲートを形成後、第1の絶縁膜を等方性の高い膜形成法によって形成する工程と、第2の絶縁膜を異方性の高い膜形成法によって形成し、前記T型ゲートと活性層表面の空間を絶縁膜によって囲まれたボイドとする工程とを施すようにしたものである。

【0006】[3] 電界効果トランジスタのT型ゲートの保護膜形成方法において、T型ゲート形成後にポリイミド膜を塗布する工程と、酸素プラズマを用いた反応性イオンエッチングにより、前記T型ゲート下部のポリイミド膜を残し、他の領域のポリイミド膜をエッチングする工程と、CVD法によって絶縁膜を形成する工程と、前記T型ゲートの両端、または、片端の絶縁膜に開口部を形成する工程と、酸素プラズマを用いたアッシングにより、前記絶縁膜の開口部から酸素を導入し、前記T型ゲート下部のポリイミド膜を除去し、前記T型ゲートと活性層表面の空間をボイドとする工程とを施すようにしたものである。

【0007】[4] 電界効果トランジスタのT型ゲートの保護膜形成方法において、T型ゲートを形成後、第1の絶縁膜を等方性の高い膜形成法によって形成する工程と、ポリイミド膜を塗布する工程と、酸素プラズマを用いた反応性イオンエッチングにより、前記T型ゲート下部のポリイミド膜を残し、他の領域のポリイミド膜をエッチングする工程と、CVD法によって第2の絶縁膜を

形成する工程と、前記T型ゲートの両端、または、片端の絶縁膜に開口部を形成する工程と、酸素プラズマを用いたアッシングにより、前記絶縁膜の開口部から酸素を導入し、前記T型ゲート下部のポリイミド膜を除去し、前記T型ゲートと活性層表面の空間を絶縁膜によって囲まれたボイドとする工程とを施すようにしたものである。

【0008】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照しながら詳細に説明する。図1は本発明の第1実施例を示す電界効果トランジスタの製造工程断面図、図2はその電界効果トランジスタのT型ゲートの製造工程図である。予め、例えば、図2に示すような方法によって、T型ゲートを形成する。

【0009】まず、図2(a)に示すように、チャンネル領域を有する半導体基板1上に第1のレジスト2を塗布し、図2(b)に示すように、電子ビーム露光によって略0.1 μ mの開口パターンを形成する。次に、図2(c)に示すように、第2のレジスト3を塗布し、図2(d)に示すように、線縮小投影露光によって、略0.5 μ mの開口パターンを形成する。次に、図2(e)に示すように、ゲート金属4を蒸着し、図2(f)に示すように、アセトン等の有機溶剤中でのリフトオフにより、T型ゲート5が形成される。

【0010】このようにして形成されたT型ゲート5は、例えば、図1(a)に示すように、下部の太さlg=0.1 μ m、下部の高さhg=0.1 μ m、上部の太さlm=0.5 μ m、上部の高さhm=0.3 μ mといった寸法となる。以上述べた方法以外にも、様々なT型ゲートの形成法があり、本発明は上記T型ゲート形成法に制限されるものではない。

【0011】次に、図1(b)に示すように、T型ゲート5に保護膜6を形成する。この場合、例えば、SiO₂膜を4000Å、スパッタリング法によって堆積する。スパッタリング法は、異方性の高い膜形成が可能のため、T型ゲート5と活性層表面の空間はボイド(空隙)7となる。スパッタリング法以外にも、電子ビーム蒸着法など、異方性の高い膜形成法であれば、同様なボイドを形成することができる。また、保護膜6としては、SiO₂膜の他に、Si₃N₄膜、SiON膜などの絶縁膜を利用することができる。

【0012】以上のように、第1実施例によれば、T型ゲート5と活性層表面の空間をボイド7とすることができる。T型ゲートと活性層表面との間の寄生容量は、この間の誘電率に比例する。従って、一般的に用いられるSiO₂膜、Si₃N₄膜の比誘電率が、それぞれ、3.9、7.5であることから、本構造のようにボイドを形成することにより、寄生容量を0.13(1/7.5)~0.26(1/3.9)倍と大幅に低減することができ、良好な高周波特性を得ることができる。

【0013】次に、本発明の第2実施例について説明する。図3は本発明の第2実施例を示す電界効果トランジスタの製造工程断面図である。この第2実施例では、図3(a)に示すように、T型ゲート5形成後に、図3(b)に示すように、プラズマCVD(Chemical Vapor Deposition)法によって、第1の絶縁膜11であるSi₃N₄膜を、例えば100Å堆積する。プラズマCVD法は、比較的等方性の高い膜形成が可能であるため、T型ゲート5の影となる部分の活性層表面にも保護膜を形成することができる。次に、第1実施例と同様に、図3(c)に示すように、スパッタリング法によって、第2の絶縁膜12であるSiO₂膜を例えば4000Å堆積する。

【0014】これによって、T型ゲート5と活性層表面の空間に高さ800Åの絶縁膜に囲まれたボイド13を形成することができる。第1の絶縁膜11の形成方法としては、LP(Low Pressure)CVD法など、他の等方的な膜形成が可能なが方法が利用できる。また、第1の絶縁膜11としては、Si₃N₄膜の他にSiO₂膜、SiON膜など、他の絶縁膜を利用することもできる。第2の絶縁膜12についても、第1実施例と同様に、他の絶縁膜、および、形成法を用いることができる。

【0015】以上のように、第2実施例によれば、T型ゲートと活性層表面の空間を絶縁膜で囲まれたボイドとすることができる。このように、第1の絶縁膜として100ÅのSi₃N₄膜を用いると、高さ800Åのボイドが形成される。従って、ボイドがない構造においてSiO₂膜、Si₃N₄膜を用いる場合に比べ、寄生容量を

【0016】

【数1】

$$0.16 \left(= \frac{\frac{1000}{7.5}}{\frac{200}{7.5} + 800} \right) \sim 0.31 \left(= \frac{\frac{1000}{3.9}}{\frac{200}{7.5} + 800} \right)$$

【0017】倍と大幅に低減できる。また、第1の絶縁膜として100ÅのSiO₂膜を用いると、同様に、寄生容量を

【0018】

【数2】

$$0.16 \left(= \frac{\frac{1000}{7.5}}{\frac{200}{3.9} + 800} \right) \sim 0.30 \left(= \frac{\frac{1000}{3.9}}{\frac{200}{3.9} + 800} \right)$$

【0019】倍と低減できる。いずれの場合も、第1実施例に比べると、寄生容量の低減効果は小さくなるが、活性層表面がむき出しとなっておらず、ボイドも絶縁膜

できる。

【0020】次に、本発明の第3実施例について説明する。図4は本発明の第3実施例を示す電界効果トランジスタの製造工程断面図である。この第3実施例では、図4(a)に示すように、T型ゲート5形成後に、ポリイミド膜21を塗布する。続いて、図4(b)に示すように、酸素プラズマを用いたRIE(反応性イオンエッチング)により、ポリイミド膜21のエッチングを行う。この時、T型ゲート5をマスクとした異方性エッチングによって、T型ゲート5下部のポリイミド膜22のみを残すことができる。

【0021】引き続き、図4(c)に示すように、プラズマCVD法、LP-CVD法等によって、 Si_3N_4 膜、 SiO_2 膜等の絶縁膜23を形成する。次に、図5に示すように、T型ゲート5の両端、または、片端(ここでは、両端で説明)に、絶縁膜の開口部31を形成する。この開口部31は、図6に示すように、絶縁膜23上に形成されるレジストパターン32をマスクとしRIEによって形成する。なお、図5(a)はT型ゲート部の概略平面図、図5(b)は図5(a)のA-A'断面図、図6(a)はレジストパターン32が形成された状態を示す断面図、図6(b)は開口部31が形成された状態を示す断面図である。

【0022】次に、図4(d)に示すように、酸素プラズマを用いたアッシングによって、T型ゲート5下部のポリイミド膜22を除去する。先に形成したゲート端の開口部31(図5及び図6参照)より入り込む酸素によって、あたかもトンネルを掘るように、内部のポリイミド膜22を除去することができる。このようにして、T型ゲート5と活性層表面の空間にボイド33を形成することができる。

【0023】以上のように、第3実施例によっても、T型ゲートと活性層表面の空間をボイドにすることができる。第3実施例では、第1、第2の実施例に比べて工程が長くなるが、絶縁膜として良質なCVD膜を利用できるという利点がある。第1、第2の実施例で使用したスパッタリング膜は、膜中にスパッタリング時の放電ガスが混入し、屈折率など膜質の制御が難しい面がある。

【0024】従って、CVD膜の利用によって、膜質制御性の向上、デバイス特性制御性の向上を図ることができる。次に、本発明の第4実施例について説明する。図7は本発明の第4実施例を示す電界効果トランジスタの断面図である。この実施例では、第2実施例と第3実施例を組み合わせた構成となる。すなわち、第2実施例と同様に等方的な膜形成法により、第1の絶縁膜41を形成した後、第3実施例に示す方法を用いて、ポリイミド膜を塗布し、酸素プラズマを用いたRIEによりポリイミド膜をエッチングし、その後、CVD法により、第2の絶縁膜42を形成し、ポリイミド膜をアッシングして除去する。この方法によっても、T型ゲート5と活性層

表面の空間に、絶縁膜41で囲まれたボイド43を形成することができる。

【0025】このように、この実施例によれば、アッシングによりポリイミド膜を除去する際に、活性層表面が薄い絶縁膜によって保護される。したがって、第3実施例に比べて、アッシング時のダメージ、不純物が混入するといった問題を回避することができる。なお、本発明は上記実施例に限定されるものではなく、本発明の趣旨に基づいて種々の変形が可能であり、それらを本発明の範囲から排除するものではない。

【0026】

【発明の効果】以上、詳細に説明したように、本発明によれば、以下のような効果を奏することができる。

(1)請求項1記載の発明によれば、T型ゲートと活性層表面の空間をボイドとすることができる。

【0027】したがって、寄生容量を大幅に低減することができ、良好な高周波特性を得ることができる。

(2)請求項2記載の発明によれば、活性層表面がむき出しとなっておらず、ボイドも絶縁膜によって囲まれた構造となるため、熱等による半導体表面の変質を防ぐことができ、信頼性の向上を図ることができる。

【0028】(3)請求項3記載の発明によれば、絶縁膜として良質なCVD膜を利用でき、膜質制御性の向上、デバイス特性制御性の向上を図ることができる。

(4)請求項4記載の発明によれば、アッシングによりポリイミド膜を除去する際に、活性層表面が薄い絶縁膜によって保護される。したがって、アッシング時のダメージ、不純物が混入するといった問題を回避することができる。

【図面の簡単な説明】

【図1】本発明の第1実施例を示す電界効果トランジスタの製造工程断面図である。

【図2】本発明の第1実施例を示す電界効果トランジスタのT型ゲートの製造工程図である。

【図3】本発明の第2実施例を示す電界効果トランジスタの製造工程断面図である。

【図4】本発明の第3実施例を示す電界効果トランジスタの製造工程断面図である。

【図5】本発明の第3実施例における絶縁膜への開口の説明図である。

【図6】本発明の第3実施例における絶縁膜への開口工程断面図である。

【図7】本発明の第4実施例を示す電界効果トランジスタの断面図である。

【図8】従来の電界効果トランジスタのT型ゲートを示す図である。

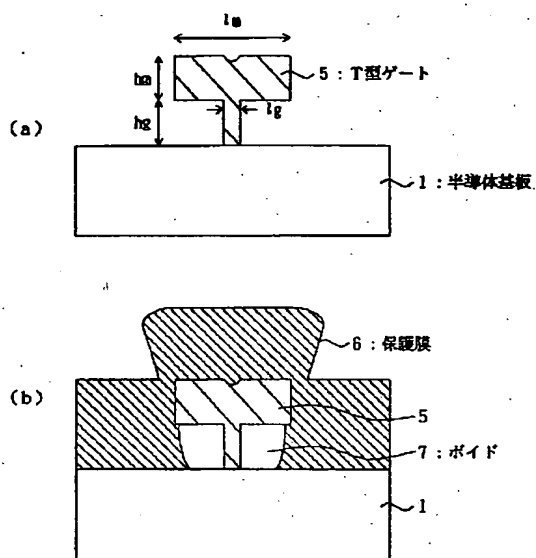
【符号の説明】

- 1 半導体基板
- 2 第1のレジスト
- 3 第2のレジスト

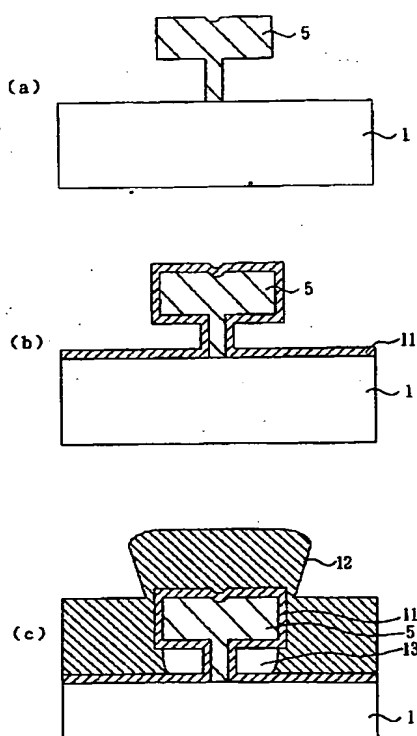
- 4 ゲート金属
- 5 T型ゲート
- 6 SiO_2 膜(保護膜)
- 7, 13, 33, 43 ボイド(空隙)
- 11, 41 第1の絶縁膜
- 12, 42 第2の絶縁膜

- 21 ポリイミド膜
- 22 T型ゲート下方のポリイミド膜
- 23 絶縁膜(CVD膜)
- 31 開口部
- 32 レジストパターン

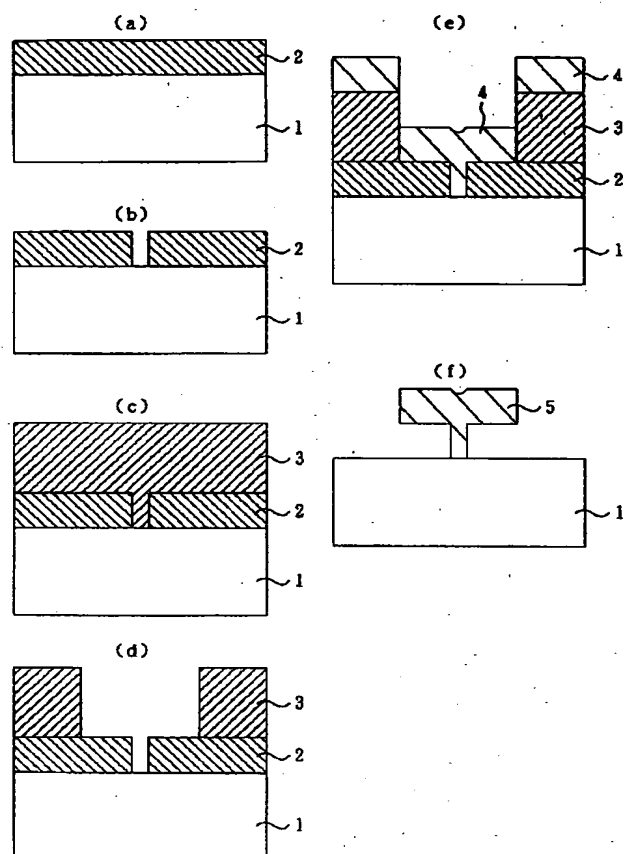
【図1】



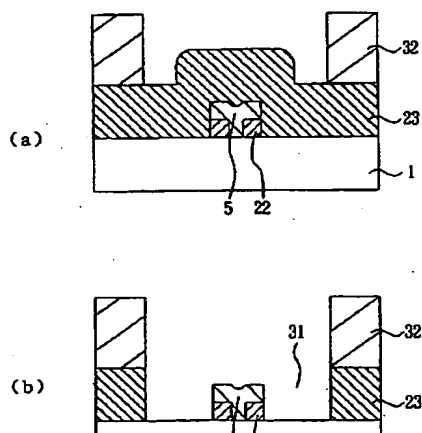
【図3】



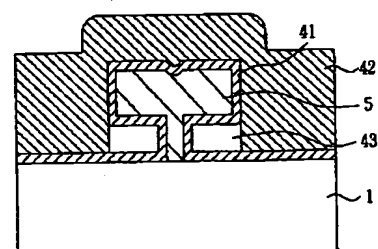
【図2】



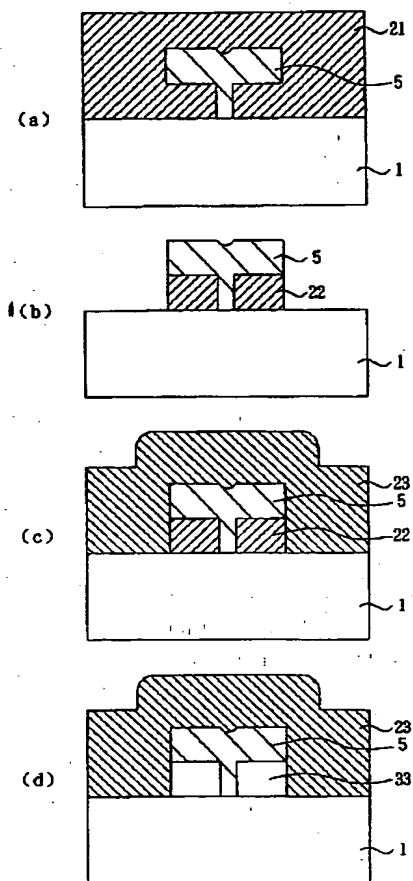
【図6】



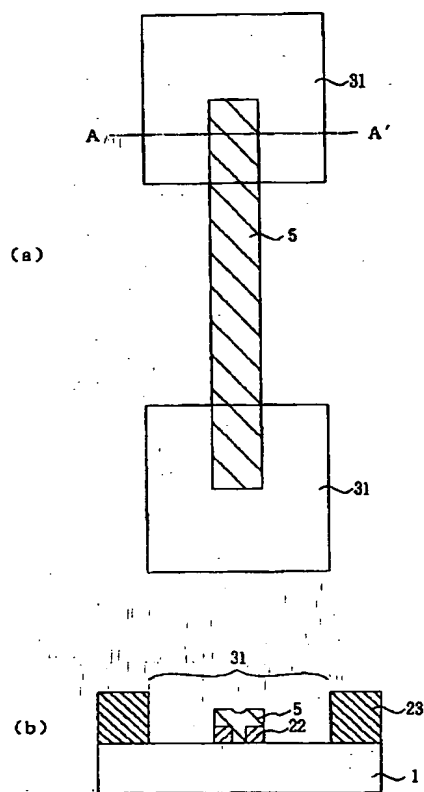
【図7】



【図4】



【図5】



【図8】

